



①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 43 09 764 A 1**

⑥1 Int. Cl.<sup>5</sup>:  
**H 01 L 29/784**

②1 Aktenzeichen: P 43 09 764.2  
②2 Anmeldetag: 25. 3. 93  
④3 Offenlegungstag: 29. 9. 94

DE 43 09 764 A 1

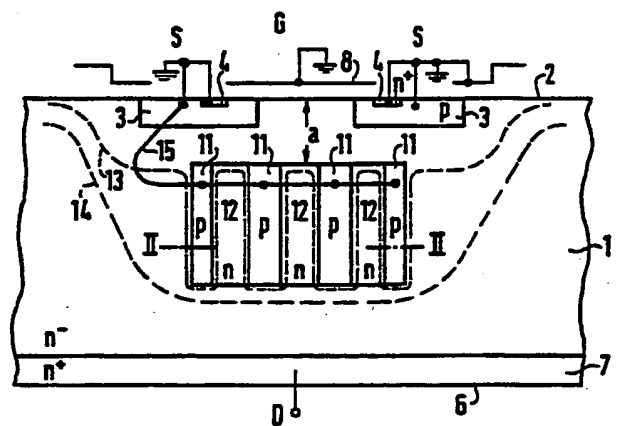
⑦1 Anmelder:  
Siemens AG, 80333 München, DE

⑦2 Erfinder:  
Tihanyi, Jenő, Dr., 8000 München, DE

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Leistungs-MOSFET

⑤7 Hochsperrende Leistungs-MOSFET haben eine niedrig dotierte Innenzone und daher einen hohen Durchlaßwiderstand. Der Durchlaßwiderstand läßt sich bei gleicher Spannungsfestigkeit dadurch herabsetzen, daß in der Innenzone (1) im Bereich der Raumladungszone höher dotierte Zonen (12) vom der Innenzone entgegengesetzten Leitungstyp angeordnet ist. Zwischen diesen liegenden Zonen (11), die den Leitungstyp der Innenzone, aber höhere Dotierung haben. Bei anliegender Nennsperrspannung sind die Ladungsträger aus den zusätzlichen Zonen des Blocks ausgeräumt.



DE 43 09 764 A 1

Die Erfindung bezieht sich auf einen Leistungs-MOS-FET mit einem Halbleiterkörper mit einer Innenzone vom ersten Leitungstyp und vorgegebener Dotierungskonzentration, mit mindestens einer an die Innenzone und an eine erste Oberfläche des Halbleiterkörpers angrenzenden Basiszone vom zweiten Leitungstyp, in die jeweils mindestens eine Sourcezone eingebettet ist, und mit mindestens einer an eine der Oberfläche des Halbleiterkörpers angrenzenden Drainzone.

Leistungs-MOSFET dieser Art sind seit langem Stand der Technik. Der unipolare Leitungsmechanismus dieser MOSFET bringt es mit sich, daß die Durchlaßspannung wesentlich von der Dotierung der Innenzone abhängt. Bei Leistungs-MOSFET über 500 V Sperrspannung wird der Durchlaßwiderstand höher als bei vergleichbaren Bipolartransistoren. Eine Erhöhung der Dotierung kommt nicht in Frage, da dies eine Verringerung der Sperrfähigkeit mit sich brächte.

Der Erfindung liegt die Aufgabe zugrunde, einen Leistungs-MOSFET der erwähnten Art derart weiterzubilden, daß er für hohe Sperrspannung geeignet ist, im Durchlaß jedoch einen niedrigen Bahnwiderstand hat.

Diese Aufgabe wird gelöst durch in der Innenzone innerhalb der sich bei Sperrspannung auf spannenden Raumladungszone angeordnete zusätzliche Zonen des zweiten Leitungstyps und durch mindestens eine zwischen diesen zusätzlichen Zonen liegende höher als die Innenzone dotierte zusätzliche Zone vom ersten Leitungstyp, und durch eine Dotierungshöhe der Zonen der zusätzlichen Zonen und durch Abstände der zusätzlichen Zonen des zweiten Leitungstyps voneinander derart, daß ihre Ladungsträger bei angelegter Sperrspannung ausgeräumt sind.

Weiterbildungen der Erfindung sind Gegenstand der Unteransprüche.

Die Erfindung wird anhand einiger Ausführungsbeispiele in Verbindung mit den Fig. 1 bis 7 näher erläutert. Es zeigen:

Fig. 1 einen Schnitt durch einen Vertikal-MOSFET gemäß Erfindung,

Fig. 2 bis 4 drei Ausführungsbeispiele der in Fig. 1 dargestellten zusätzlichen Zonen,

Fig. 5 den Schnitt durch einen Lateral-MOSFET gemäß Erfindung und

Fig. 6 und 7 zwei Ausführungsbeispiele der zusätzlichen Zonen im Lateral-MOSFET nach Fig. 5.

Der Vertikal-MOSFET nach Fig. 1 hat eine niedrig n-dotierte Innenzone 1. In die obere Oberfläche 2 des Halbleiterkörpers sind Basiszonen 3 vom entgegengesetzten Leitungstyp (p) eingelagert. In die Basiszonen 3 sind Sourcezonen des ersten Leitungstyps ( $n^+$ ) eingebettet. Isoliert über der Oberfläche 2 ist eine Gateelektrode 8 angeordnet. An der anderen Oberfläche 6 ist eine hochdotierte Drainzone 7 vom gleichen Leitungstyp wie die Innenzone 1 vorgesehen.

In der Innenzone 1 sind im Bereich der sich bei Sperrspannung auf spannenden Raumladungszone zusätzliche Halbleiterzonen 11, 12 angeordnet. Es sind mindestens zwei Zonen 11 des der Innenzone entgegengesetzten Leitungstyp vorgesehen. Zwischen den Zonen 11 sind höher als die Innenzone dotierte zusätzliche Zonen 12 des der Innenzone 1 gleichen Leitungstyps ( $n$ ) angeordnet. Die Zonen 11, 12 können scheibenförmig ausgebildet sein (Fig. 2). Die zusätzlichen Zonen entgegengesetzten Leitungstyps können auch stabförmig ausgebildet sein (18 in Fig. 3). Sie sind dann von einer einzigen

Zone 17 allseitig umgeben. Diese Zone 17 hat ebenso wie die Zonen 12 den gleichen Leitungstyp wie die Innenzone, jedoch höhere Dotierung. Die p-dotierten Zonen können auch ein dreidimensionales Gitter 21 bilden, wie in Fig. 4 dargestellt. Die n-dotierte Zone ist mit 20 bezeichnet. Die Leitfähigkeitstypen des MOSFET können auch invertiert werden.

Liegt am Leistungs-FET nach Fig. 1 eine Spannung in Durchlaßrichtung an, so kann er über das Gate 8 leitend gesteuert werden. Hierbei finden die aus der Sourcezone 4 stammenden Elektronen in den zusätzlichen Zonen 12 eine hohe Dotierung vor. Damit verringert sich der Bahnwiderstand des Leistungs-MOSFET.

Liegt am Leistungs-MOSFET Sperrspannung an, so bildet sich ausgehend vom pn-Übergang zwischen der Innenzone 1 und der Basiszone 3 eine Raumladungszone aus, deren Ausdehnung mit steigender Sperrspannung wächst. Stößt die Raumladungszone an die p-dotierten Zonen 11 an, so werden diese über das ausgeräumte Gebiet der Innenzone 1 hochohmig an die Basiszonen 3 angeschlossen. Bei weiter steigender Sperrspannung dehnt sich die Raumladungszone weiter aus, so daß auch ein Teil der Ladungsträger aus den Zonen 11 und 12 ausgeräumt wird. Dies ist durch die gestrichelte Linie 13 schematisch dargestellt. Bei weiterer Steigerung der Sperrspannung sind dann die Ladungsträger aus einem großen Teil der Innenzone 1 und aus den Zonen 11, 12 vollständig ausgeräumt. Die Raumladungszone nimmt dann in der Innenzone 1 einen Verlauf, der durch die gestrichelte Linie 14 begrenzt ist. Bei maximal anliegender Sperrspannung liegen die zusätzlichen Zonen vollständig in der Raumladungszone. Sie müssen ausgeräumt sein, bevor der Durchbruch auftritt.

Das Ausräumen der Ladungsträger hat die Wirkung, als ob die Zonen 11 und 12 nicht vorhanden wären. Bei maximaler Ausdehnung der Raumladungszone ist also in erster Näherung ausschließlich die Dotierung der Innenzone 1 maßgebend. Wird diese niedrig genug gewählt, z. B.  $5 \times 10^{13} \text{ cm}^{-3}$ , so lassen sich mit diesem Bauelement ohne weiteres 1000 V und mehr sperren. Im Durchlaßfall dagegen weist der erfindungsgemäße Leistungs-MOSFET einen Widerstand auf, der dem eines erheblich niedriger sperrenden MOSFET entspricht.

Der Bahnwiderstand läßt sich durch den Abstand a der Zonen 11, 12 von der ersten Oberfläche 2 einstellen. Er läßt sich außerdem durch die Dotierung der Zonen 12 beeinflussen. Die Dotierung und die Dicke der Zonen 11, 12 ist jedoch so einzustellen, daß die Ladungsträger aus diesen Zonen bei Anlegen der maximalen Sperrspannung völlig ausgeräumt sind.

Anstatt die zusätzlichen Zonen 11 über die Raumladungszone an die Basiszonen 3 anzuschließen, können die zusätzlichen Zonen auch direkt niederohmig mit den Basiszonen verbunden sein. Dies ist in Fig. 1 durch eine Verbindungsleitung 15 symbolisiert. Der direkte Anschluß bewirkt, daß das Ausräumen der Ladungsträger schon beginnt, bevor die Raumladungszone die Zonen 11, 12 erreicht hat.

Die zusätzlichen Zonen lassen sich z. B. dadurch herstellen, daß ausgehend von der Drainzone 7 ( $n^+$ -Substrat) zunächst die Innenzone 1 epitaktisch bis zur beabsichtigten Oberkante der zusätzlichen Zonen 11, 12 abgeschieden wird. Dann werden in der z. B. aus der Speichertechnik bekannten Trench-Technik erste Gräben mit einer Tiefe in die Epitaxial-Schicht geätzt, die der vertikalen Abmessung der zusätzlichen Zonen entsprechen. Dann wird in den Gräben epitaktisch p-dotiertes Material abgeschieden, bis sie gefüllt sind. Durch eine

zweite Grabenätzung und epitaktisches Abscheiden können dann auf gleiche Weise die n-dotierten Zonen 12 hergestellt werden. Anschließend daran wird weiter schwach n-dotiertes Material epitaktisch abgeschieden, bis die vorgesehene Dicke des Halbleiterkörpers erreicht ist. Die Herstellung der Zonen 3 und 4, sowie der Oxidschichten, Elektroden usw. ist Stand der Technik.

In Fig. 5 ist ein Ausschnitt eines Lateral-MOSFET dargestellt. Die Innenzone ist wieder mit 1 bezeichnet, die Basiszone mit 3, die Sourcezone mit 4 und die Gateelektrode mit 8. Die genannten Zonen sind wieder in die erste Oberfläche 2 des Halbleiterkörpers eingebettet. In die gleiche Oberfläche 2 ist eine schwach n-dotierte Wanne 22 eingebettet, während die Innenzone 1 schwach p-dotiert ist. Die Wanne 22 enthält eine stark n-dotierte Drainzone 24 und eine Driftstrecke 23. Diese Driftstrecke beginnt unter der Gateelektrode 8 und erstreckt sich bis zur Drainzone 24. Die Verwendung einer Driftzone ist bekannt, (man vergleiche DE 28 52 621). Sie dient zur Erhöhung der lateral gerichteten Durchbruchfeldstärke. In die Wanne 22 sind mindestens zwei zusätzliche Zonen (26) des der Wanne 22 entgegengesetzten Leitungstyps angeordnet, zwischen denen zusätzliche Zonen (27) des gleichen Leitungstyps wie 22, jedoch höherer Dotierung angeordnet sind. Eine Aufsicht auf die zusätzlichen Zonen ist in Fig. 6 dargestellt. Die zusätzlichen Zonen sind hier scheibenförmig ausgebildet und parallel zur kürzesten Verbindung zwischen Basiszone 3 und Drainzone 24 angeordnet. Die Zonen 26, 27 können jedoch auch parallel zur Oberfläche 2 angeordnet, daß heißt waagrecht geschichtet sein.

Eine weitere Ausführungsform der zusätzlichen Zonen ist in Fig. 7 gezeigt. Die n-dotierten Zonen 27 sind hier nicht scheibenförmig ausgebildet, ihre Dicke erweitert sich vielmehr zur Drainzone 24 hin. Der Sinn dieser Maßnahme besteht darin, eine in Richtung auf die Drainzone zunehmende Anzahl von Dotieratomen vorzusehen. Damit läßt sich eine weitere Erhöhung der Durchbruchfeldstärke erreichen (man vergleiche DE 28 52 621).

Auch beim Lateral-FET nach Fig. 5 lassen sich andere als scheibenförmige zusätzliche Zonen verwenden. Denkbar sind wiederum stabförmige p-dotierte Zonen, die von der n-dotierten Zone 27 ganz oder teilweise umhüllt sind.

2. Leistungs-MOSFET nach Anspruch 1, dadurch gekennzeichnet, daß die zusätzlichen Zonen scheibenförmig ausgebildet und parallel zur kürzesten Verbindungslinie zwischen einer der Basiszonen (3) und der Drainzone (7, 24) angeordnet sind.

3. Leistungs-MOSFET nach Anspruch 1, dadurch gekennzeichnet, daß die zusätzlichen Zonen (18) stabförmig ausgebildet und parallel zur kürzesten Verbindungslinie zwischen einer der Basiszonen (3) und der Drainzone (7, 24) angeordnet sind.

4. Leistungs-MOSFET nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Drainzone (7) an die zweite Oberfläche (6) angrenzt und daß die zusätzlichen Zonen (11, 12) senkrecht zur Oberfläche (6) des Halbleiterkörpers angeordnet sind.

5. Leistungs-MOSFET nach Anspruch 2 oder 3, dadurch gekennzeichnet, daß die Drainzone (24) und die zusätzlichen Zonen (26, 27) an die erste Oberfläche (2) angrenzen und daß sie parallel zur Oberfläche des Halbleiterkörpers angeordnet sind.

6. Leistungs-MOSFET nach einem der Ansprüche 1 bis 5, dadurch gekennzeichnet, daß die zusätzlichen Zonen (11, 26) vom zweiten Leitfähigkeitstyps elektrisch mit den Basiszonen (3) verbunden sind.

---

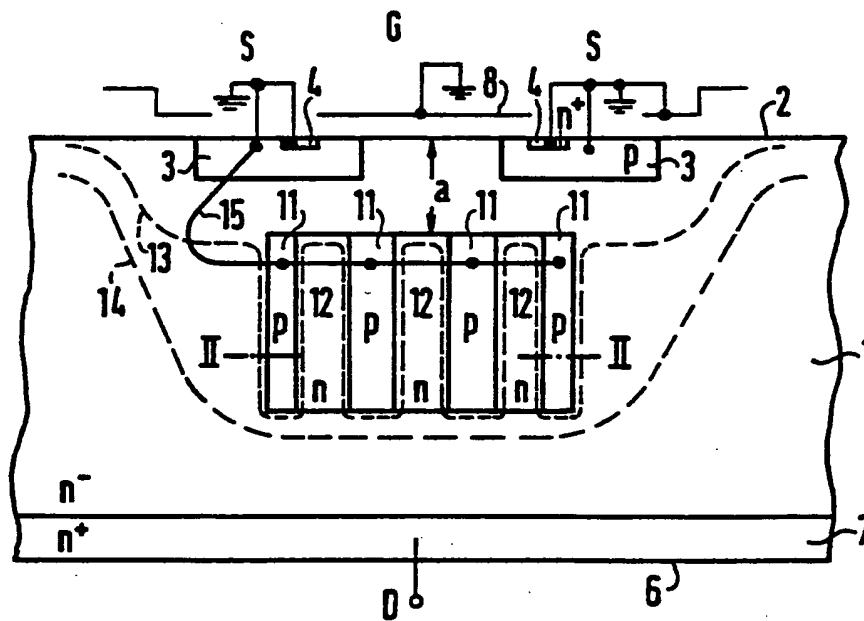
Hierzu 3 Seite(n) Zeichnungen

---

#### Patentansprüche

1. Leistungs-MOSFET mit einem Halbleiterkörper mit einer Innenzone vom ersten Leitungstyp und vorgegebener Dotierungskonzentration, mit mindestens einer an die Innenzone und an eine erste Oberfläche des Halbleiterkörpers angrenzenden Basiszone vom zweiten Leitungstyp, in die jeweils mindestens eine Sourcezone eingebettet ist, und mit mindestens einer an eine der Oberflächen des Halbleiterkörpers angrenzenden Drainzone, gekennzeichnet durch in der Innenzone innerhalb der sich bei Sperrspannung auf spannenden Raumladungszonen angeordnete zusätzliche Zonen (11, 26) des zweiten Leitungstyps und durch mindestens eine zwischen diesen zusätzlichen Zonen liegende höher als die Innenzone dotierte zusätzliche Zone (12, 27) vom ersten Leitungstyp, und durch eine Dotierungshöhe der zusätzlichen Zonen und durch Abstände der zusätzlichen Zonen des zweiten Leitungstyps voneinander derart, daß ihre Ladungsträger bei angelegter Sperrspannung ausgeräumt sind.

FIG 1



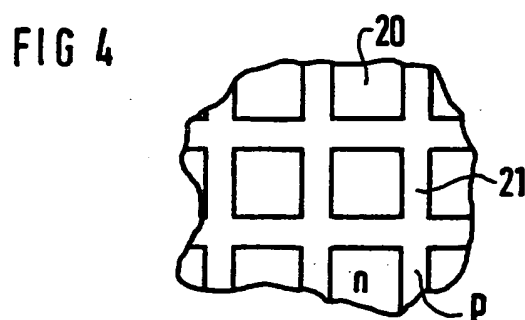
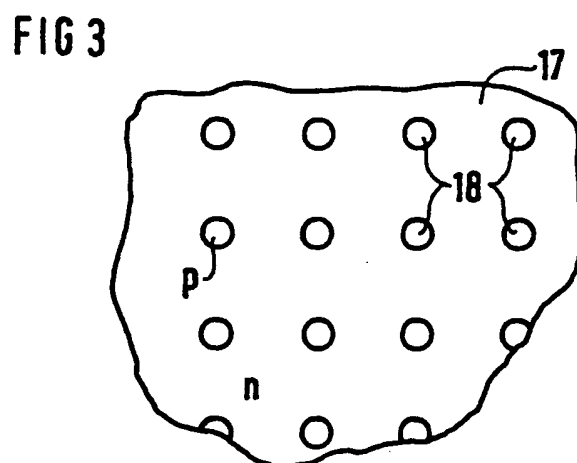
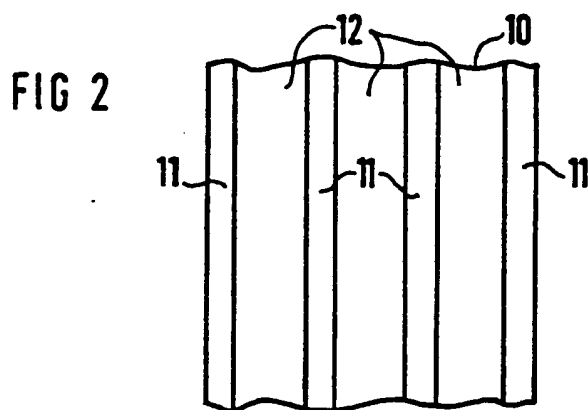


FIG 5

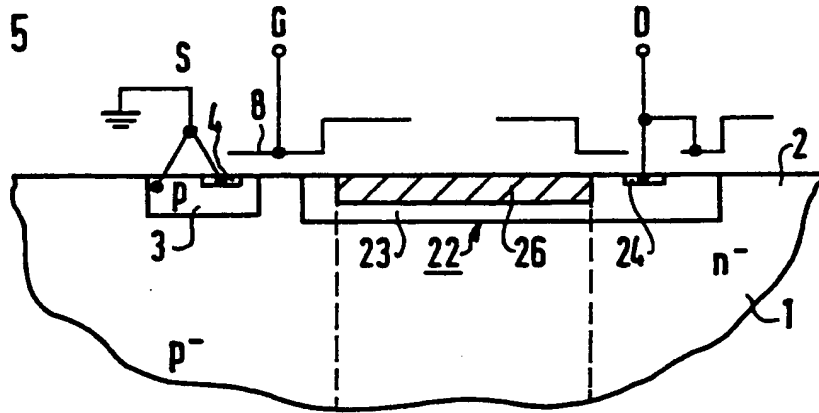


FIG 6

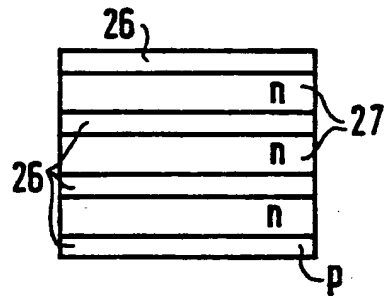


FIG 7

